

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-037207
(43)Date of publication of application : 09.02.2001

(51)Int.CI.

H02M 1/08
H03K 17/16

(21)Application number : 11-200964
(22)Date of filing : 14.07.1999

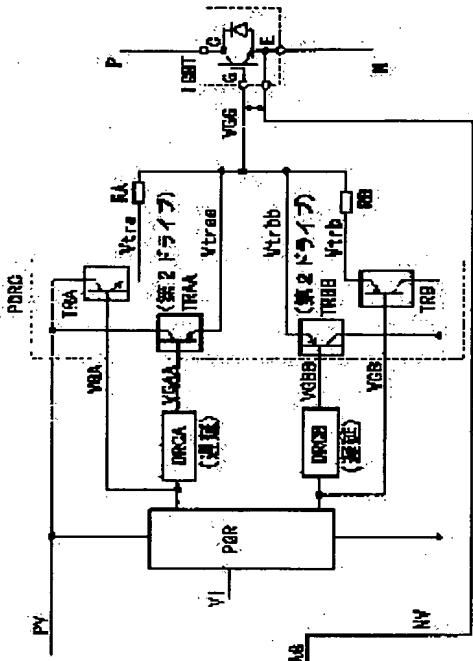
(71)Applicant : TOSHIBA CORP
(72)Inventor : MIURA KAZUTOSHI
WATANABE YUKIO

(54) GATE DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a gate drive circuit which is hardly affected by influence of noise and has high reliability of the operation.

SOLUTION: When a specified on-gate signal VGG is applied to a gate G of a voltage type switching element IGBT, application is so controlled that two-stepwise shifting in time is performed by using first delay drive circuits CRCA, TRA and TRAA. When a specified off-gate signal VGG is applied to the gate of the switching element IGBT, application is so controlled that two-stepwise shifting in time is performed by using second delay drive circuits CRCB, TRB and TRBB. As a result, a stable on-gate voltage and a stable off-gate voltage are applied to the gate G of the switching element IGBT, the descending time of a voltage between a collector C and an emitter E of the switching element and Hall time are shortened, and switching loss is reduced.



LEGAL STATUS

[Date of request for examination] 20.02.2002
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3547654
[Date of registration] 23.04.2004
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-37207

(P2001-37207A)

(13) 公開日 平成13年2月9日 (2001.2.9)

(51) 国内C1
H02M 1/08
H03K 17/18検索記号
H 02 M
H 03 KF 1
H02M 1/08
H03K 17/18F 1
H 02 M 1/08
Z 6 J 0 5 6

(21) 出願番号		(22) 出願日		(23) 出願人		(24) 発明者		(25) 代理人	
特願平11-200964		平成11年7月14日 (1999.7.14)		株式会社ニチニチ		三浦 和哉		東京都府中市東芝町1番地 株式会社東芝 府中工場内	
				株式会社ニチニチ		三浦 幸夫		東京都府中市東芝町1番地 株式会社東芝 府中工場内	
				100083806		弁護士 三好 秀和 (317名)			
最終頁に続く									

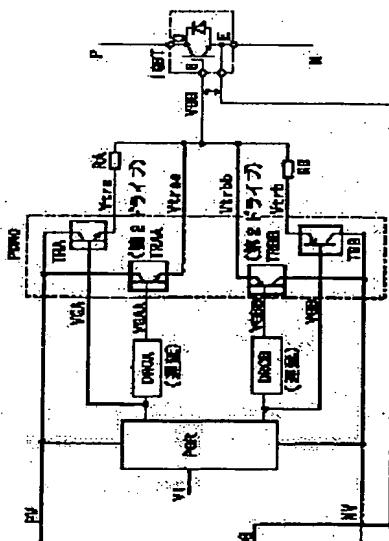
(54) 【発明の名称】 ゲート駆動回路

(57) 【要約】

【課題】 ノイズの影響を受けにくく、動作の信頼性の高いゲート駆動回路を提供する。

【解決手段】 電圧形スイッチング素子IGBTのゲートGに所定のオングート信号VGGを印加するのに、第1の遅延ドライブ回路DRCA, TRA, TRAAにより時間的に2段階にずらして印加する制御を行い、またスイッチング素子IGBTのゲートに所定のオフゲート信号VOFFを印加するのに、第2の遅延ドライブ回路DRCB, TRB, TRBBにより時間的に2段階にずらして印加する制御を行う。これによ

り、スイッチング素子IGBTのゲートGに対して安定したオングート電圧、オフゲート電圧を与える。またスイッチング素子のコレクタ-エミッタC-E間の電圧の下限時間、ホール時間を短縮し、スイッチング損失を低減する。



【特許請求の範囲】

【請求項 1】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、
前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらして印加する遅延ドライブ手段を備えたことを特徴とするゲート駆動回路。
【請求項 2】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、
前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらして印加する遅延ドライブ手段を備えたことを特徴とするゲート駆動回路。
【請求項 3】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、
前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらして印加する遅延ドライブ手段と、
前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらして印加する第2の遅延ドライブ手段とを備えたことを特徴とするゲート駆動回路。
【請求項 4】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、
前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらして印加する遅延ドライブ手段と、
ゲート制御信号線の正側と前記スイッチング素子のエミッタとの間に挿入されたコンデンサとを備えたことを特徴とするゲート駆動回路。
【請求項 5】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、
前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらして印加する遅延ドライブ手段と、
ゲート制御信号線の負側と前記スイッチング素子のエミッタとの間に挿入されたコンデンサとを備えたことを特徴とするゲート駆動回路。
【請求項 6】 スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にするゲート駆動回路にあって、
前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらして印加する第1の遅延ドライブ手段と、
前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらして印加する第2の遅延ドライブ手段と、

ゲート制御信号線の正側と前記スイッチング素子のエミッタとの間に挿入された第1のコンデンサと、
ゲート制御信号線の負側と前記スイッチング素子のエミッタとの間に挿入された第2のコンデンサとを備えたことを特徴とするゲート駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電圧駆動形スイッチング素子のゲート駆動回路に関する。

【0002】

【従来の技術】 一般に、例えば IGBT, IEGT のような電圧駆動形スイッチング素子を用いた 3 相出力 PWM インバータ装置は、図 1.0 に示す回路構成である。この PWM インバータ装置において、Vd は直流電源、FC は直流平滑コンデンサ、QU, QV, QW, QX, QY, QZ は電圧駆動形スイッチング素子、GCU, GCV, GCW, GCX, GCY, GCZ はこれらの素子を駆動するゲート駆動回路である。また、CONT はインバータ装置の速度制御回路で、UVW3 相のそれぞれの速度制御回路 CONT-U, CONT-V, CONT-W によって構成されている。

【0003】 そして、速度制御回路 CONT による PWM インバータ装置の制御動作は次のようである (以下では、U 相の制御回路 CONT-U について説明するが、V, W 相についても同様である)。最初、速度指令値 V_{ref} と速度検出値 V_o を比較して偏差 e_r を出力する。この偏差 e_r と、速度 V_o に比例して出力する正弦波回路 V_{SIN} の出力単位正弦波 E_{sin} を乗算し、その演算結果 E_{ref} と電流フィードバック信号 I_o を比較器 S1 で比較する。比較器 S1 の出力は増幅器 AM1 を介して電圧指令値 E_{ref} として比較器 S2 に入力し、この比較器 S2 で三角波発生器 VTR の出力 E_{tr} と比較する。比較器 S2 の出力は波形整形回路 SHA によって 1 と 0 の信号に変換され、U 相のゲート駆動回路 GCU に入力され、また反転器 MA を経てもう 1 つのゲート駆動回路 GCX にも同時にに入力され、これらゲート駆動回路 GCU, GCX によって U 相の電圧形スイッチング素子 QU, QX が交互にオン/オフ制御され、その出力が電動機 M に U 相電流 I_u として供給される。V, W 相についても同様に制御される。この結果、正弦波電流 I_u, I_v, I_w が電動機 M に供給され、速度制御される。

【0004】 このような構成の PWM インバータ装置におけるゲート駆動回路 GCU, GCV, GCW, GCX, GCY, GCZ 各々は、図 1.1 に示す構成である。図 1.1 は、電圧形スイッチング素子である IGBT に対するゲート駆動回路を示している。このゲート駆動回路において、P0W は高周波電源、P0C はこの高周波電源 P0W の交流を直流に変換する電源回路、PGR は論理制御回路、PDR はドライブ回路である。また PIR は

ゲート抵抗回路であり、抵抗RA、RBから成っている。そしてPHCは論理制御回路PGRに対してゲート制御信号VIを入力する入力回路である。

【0005】このゲート駆動回路は図12に示すシーケンスにより動作する。すなわち、入力信号GU（これはU相のスイッチング素子Q1Uに対する信号であるが、他のスイッチング素子に対する動作も同様である）に対して、入力回路PHCがゲート制御信号VIを論理制御回路PGRに出力する。論理制御回路PGRはこの入力信号VIにより、制御信号VGA、VGBをそれぞれドライブ回路PDRのトランジスタTRA、TRBに出力する。

【0006】そこで、入力信号GU、そしてVIが1の期間、VGAも1となり、これによってトランジスタTRAが導通し、ゲート抵抗RAを介してスイッチング素子IGBTのゲートGに正電圧+Vを印加して素子をオン状態にする。

【0007】また入力信号GU、そしてVIが0の期間、ドライブ回路PDRのトランジスタTRBが導通し、ゲート抵抗RBを介してスイッチング素子IGBTのゲートGに負電圧-Vを印加して素子をオフ状態にする。

【0008】

【発明が解決しようとする課題】このような従来のゲート駆動回路にあっては、次のような問題点があった。電圧駆動形スイッチング素子は大容量、高耐圧になるほどに、図13に示す各端子間の浮遊キャパシタンスCze、Cze、Cceが増大する。その結果、図14に示すU相の両アームの素子GU、GXのように、他の素子がオフからオンにスイッチングすると浮遊キャパシタンスを介してオフゲート電圧Vzeu、Vze×に0V以上の誤パルスが入り、最悪の場合にはこの誤パルスによってオフしていた素子が再びオンして短絡モードを発生し、素子を破壊することがある問題点があつた。特に、図10に示したようなPWMインバータ装置では、上下アームの素子間による影響が現れ、小電流領域で最も激しい。しかもゲート駆動回路は素子の近傍に設置されているため、電磁ノイズ、誘導ノイズの影響にさらされやすい環境で使用されている。

【0009】本発明はこのような従来の問題点に鑑みてなされたもので、ノイズの影響を受けにくく、動作の信頼性の高いゲート駆動回路を提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらして印加することを目的とする。

る遅延ドライブ手段を備えたものである。

【0011】請求項1の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第1電圧のオン信号を印加するのに、遅延ドライブ回路により時間的に2段階にすらして印加する制御を行う。これにより、スイッチング素子のゲートに対して安定したオンゲート電圧を与える、またスイッチング素子のコレクターエミッタ間の電圧の下降時間を短縮し、スイッチング時のオフ損失を低減する。

【0012】請求項2の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらして印加する遅延ドライブ手段を備えたものである。

【0013】請求項2の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第2電圧のオフ信号を印加するのに、遅延ドライブ回路により時間的に2段階にすらして印加する制御を行う。これにより、スイッチング素子のゲートに対して安定したオフゲート電圧を与える、またスイッチング素子のコレクターエミッタ間の電圧のホール時間を短縮し、スイッチング時のオフ損失を低減する。

【0014】請求項3の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらして印加する第1の遅延ドライブ手段と、前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらして印加する第2の遅延ドライブ手段とを備えたものである。

【0015】請求項3の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第1電圧のオン信号を印加するのに、第1の遅延ドライブ回路により時間的に2段階にすらして印加する制御を行い、またスイッチング素子のゲートに所定の第2電圧のオフ信号を印加するのに、第2の遅延ドライブ回路により時間的に2段階にすらして印加する制御を行う。

【0016】これにより、スイッチング素子のゲートに対して安定したオンゲート電圧、オフゲート電圧を与える、またスイッチング素子のコレクターエミッタ間の電圧の下降時間、ホール時間を短縮し、スイッチング損失を低減する。

【0017】請求項4の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第1電

圧を時間的に2段階にすらして印加する遅延ドライブ手段と、ゲート制御信号線の正側と前記スイッチング素子のエミッタとの間に挿入されたコンデンサとを備えたものである。

【0018】諸求項4の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第1電圧のオン信号を印加するのに、遅延ドライブ回路により時間的に2段階にすらして印加する制御を行う。そして、コンデンサにより第1段階のオングート電圧をゲートと共にエミッタに与えた状態で第2段階のオングート電圧をゲートに印加する。

【0019】これにより、スイッチング素子のゲートに對してより安定したオングート電圧を印加し、またスイッチング素子のコレクターエミッタ間の電圧の下降時間を短縮し、スイッチング時のオフ損失を低減し、加えてコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくする。

【0020】諸求項5の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらして印加する遅延ドライブ手段と、ゲート制御信号線の負側と前記スイッチング素子のエミッタとの間に挿入されたコンデンサとを備えたものである。

【0021】諸求項5の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第2電圧のオフ信号を印加するのに、遅延ドライブ回路により時間的に2段階にすらして印加する制御を行う。そして、コンデンサにより第1段階のオフゲート電圧をゲートと共にエミッタに与えた状態で第2段階のオフゲート電圧をゲートに印加する。

【0022】これにより、スイッチング素子のゲートに對して安定したオフゲート電圧を与え、またスイッチング素子のコレクターエミッタ間の電圧のホール時間を短縮し、スイッチング時のオフ損失を低減し、加えてコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくする。

【0023】諸求項6の発明のゲート駆動回路は、スイッチング素子のゲートに所定の第1電圧のオン信号を印加して所定期間だけ導通させ、当該ゲートに所定の第2電圧のオフ信号を印加して所定の期間だけ不導通にする回路にあって、前記ゲートに印加する前記所定の第1電圧を時間的に2段階にすらして印加する第1の遅延ドライブ手段と、前記ゲートに印加する前記所定の第2電圧を時間的に2段階にすらして印加する遅延ドライブ手段と、ゲート制御信号線の正側と前記スイッチング素子のエミッタとの間に挿入された第1のコンデンサと、ゲート制御信号線の負側と前記スイッチング素子のエミッタ

との間に挿入された第2のコンデンサとを備えたものである。

【0024】諸求項5の発明のゲート駆動回路では、スイッチング素子のゲートに所定の第1電圧のオン信号を印加するのに、第1の遅延ドライブ回路により時間的に2段階にすらして印加する制御を行い、また第1のコンデンサにより第1段階のオングート電圧をゲートと共にエミッタに与えた状態で第2段階のオングート電圧をゲートに印加する。そして、スイッチング素子のゲートに所定の第2電圧のオフ信号を印加するのに、第2の遅延ドライブ回路により時間的に2段階にすらして印加する制御を行い、また第2のコンデンサにより第1段階のオフゲート電圧をゲートと共にエミッタに与えた状態で第2段階のオフゲート電圧をゲートに印加する。

【0025】これにより、スイッチング素子のゲートに對してより安定したオングート電圧、オフゲート電圧をそれぞれ印加し、また第1、第2のコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくする。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を圖に基づいて詳説する。図1は本発明のゲート駆動回路の第1の実施の形態の構成を示している。

【0027】図1に示すゲート駆動回路は、図10に示した一般的なPWMインバータ装置におけるU,V,W各相の片方の電圧形スイッチング素子IGBTに対するものと示している。したがって、図10に示したPWMインバータ装置における、電圧形スイッチング素子Q-U, Q-X, Q-V, Q-Y, Q-W, Q-Zそれぞれに対するゲート駆動回路GCU, GCV, GCW, GCX, GCY, GCZそれぞれに対して、図1に示したゲート駆動回路が適用される。また図1に示したゲート駆動回路における入力PV, IV, AG, V1はそれぞれ、図11に示した従来例と同様の電源回路POC、入力回路PHCから入力されるものである。

【0028】図1に示したゲート駆動回路において、PGRは従来と同様の論理制御回路、PDRAは第1の実施の形態の特徴をなすドライブ回路、RA, RBはゲート抵抗である。

【0029】ドライブ回路PDRAには、交互にオン/オフ制御される1対のトランジスタTRA, TRBが設けられ、またトランジスタTRAと並列に第2ドライブトランジスタTRA'Aが設けられている。この第2ドライブトランジスタTRA'Aには、遅延回路DRC'Aが接続してある。

【0030】このゲート駆動回路は図2に示すシーケンスにより動作する。

【0031】<オングート出力>ゲート制御入力信号V1は、図1-1, 図1-2に示した従来例と同様に論理制御回路PGRに入力される。論理制御回路PGRはこの入

力信号 V_1 により、 $0, 1$ が互いに逆相になったオン／オフ制御信号 VGA, VGB をそれぞれドライブ回路 $P-DR_A$ のトランジスタ TRA, TR_B に出力する。また制御信号 VGA は遅延回路 $DRCA$ にも入力される。遅延回路 $DRCA$ は信号 VGA をその立上がりタイミングが Δt だけ遅延した信号 $VGAA$ にして第2ドライブトランジスタ TRA_A に出力する。

【0032】これにより、入力信号 V_1 が 1 の期間 $t_1 \sim t_3$ の間 VGA も 1 となり、これによってトランジスタ TRA が導通し、ゲート抵抗 RA を介してスイッチング素子 $IGBT$ のゲート G にオングート電圧 V_{tre} を期間 $t_1 \sim t_3$ の間印加し、さらに第2ドライブトランジスタ TRA_A から Δt の遅延の後に、期間 $t_2 \sim t_3$ の間オングート電圧 V_{tre} を素子 $IGBT$ のゲートに印加する。この結果、スイッチング素子 $IGBT$ のゲート G ～エミッタ E 間にはオングート電圧 VGG が与えられる。

【0033】<オフゲート出力>入力信号 V_1 が 0 の期間 $t_3 \sim t_4$ の間、制御回路 PRG の出力する制御信号 VGA が 0 となってドライブトランジスタ TRA, TR_B がオフし、逆に制御信号 VGB が 1 となってドライブトランジスタ TR_B がオンする。これにより、ゲート G ～エミッタ E 間の電圧 VGG に $-V$ の負電圧が印加され、スイッチング素子 $IGBT$ をオフする。

【0034】このようにして、第1の実施の形態のゲート駆動回路では、オングート動作において、トランジスタ TRA より第1段のオングート電圧を与えた後、 Δt 1 の遅延後に第2ドライブトランジスタ TRA_A より第2段のオングート電圧を与えることで、安定したオングート電圧を供給することができる。また、 dV/dt (電圧の時間変化率) を小さくして反対側のスイッチング素子のゲートに誘起されるパルスノイズレベルを下げ、誤動作を防ぐことができる。さらにスイッチング素子 $IGBT$ のコレクタ C ～エミッタ E 間の電圧の下限時間 t_r が短縮され、スイッチングのオン損失 Eon が減少する。

【0035】次に、本発明のゲート駆動回路の第2の実施の形態を、図3に基づいて説明する。第2の実施の形態のゲート駆動回路は、図1に示した第1の実施の形態に対して、さらに直流電源の正側 PV とスイッチング素子 $IGBT$ のエミッタ E との間にコンデンサ CHA を設置したこと特徴とする。したがって、その他の構成は図1に示した第1の実施の形態と共通である。

【0036】第2の実施の形態のゲート駆動回路では、上記の第1の実施の形態によるオングート出力動作において、特に第2ドライブトランジスタ TRA_A が第2段のオングート電圧 V_{tre} を出力するときにさらに安定したゲート電圧 VGG を与えることができる。またコンデンサ CHA は低インピーダンスなのでノイズを効果的に吸収することができ、ノイズの影響を受けにくくでき

る。

【0037】次に、本発明のゲート駆動回路の第3の実施の形態を、図4に基づいて説明する。図4に示す第3の実施の形態のゲート駆動回路は図1に示した第1の実施の形態と同様に、図10に示した一般的に PWM インバータ装置における UVW 各相の片方の電圧形スイッチング素子 GBT に対するものと示している。したがって、図10に示した PWM インバータ装置における、電圧形スイッチング素子 $Q_U, Q_X, Q_V, Q_Y, Q_W, Q_Z$ それぞれに対するゲート駆動回路 $GCU, GC_U, GC_W, GC_X, GC_Y, GC_Z$ それぞれに対して、図4に示したゲート駆動回路が適用される。また図4に示したゲート駆動回路における入力 PV, IV, AG, LV はそれぞれ、図1-1に示した従来例と同様の電源回路 $P-OC$ 、入力回路 $P-HC$ から入力されるものである。

【0038】図4に示したゲート駆動回路において、 PGH は従来と同様の論理制御回路、 $PDRB$ は第3の実施の形態の特徴をなすドライブ回路、 RA, RB はゲート抵抗である。

【0039】ドライブ回路 $PDRB$ には、交互にオン／オフ制御される1対のトランジスタ TRA, TR_B が設けられ、またトランジスタ TR_B と並列に第2ドライブトランジスタ TR_B が設けられている。この第2ドライブトランジスタ TR_B には、遅延回路 $DRCB$ が接続してある。

【0040】このゲート駆動回路は図5に示すシーケンスにより動作する。

【0041】<オングート出力>論理制御回路 PGH は入力信号 V_1 により、 $0, 1$ が互いに逆相になったオン／オフ制御信号 VGA, VGB をそれぞれドライブ回路 $P-DRB$ のトランジスタ TRA, TR_B に出力する。入力信号 V_1 が 1 の期間 $t_1 \sim t_2$ の間、制御回路 PRG の出力する制御信号 VGA が 1 となってドライブトランジスタ TRA がオンし、逆に制御信号 VGB が 0 となってドライブトランジスタ TR_B 、 TR_B がオフする。これにより、ゲート G ～エミッタ E 間の電圧 VGG に $+V$ のゲート電圧が印加され、スイッチング素子 $IGBT$ をオンする。

【0042】<オフゲート出力>論理制御回路 PGH は入力信号 V_1 が 0 の期間 $t_2 \sim t_4$ の間、制御信号 VGA を 0 とし、制御信号 VGB を 1 にして出力する。制御信号 VGA は 0 でドライブトランジスタ TRA をオフにする。

【0043】一方、制御信号 VGB は 1 で、ドライブトランジスタ TR_B を期間 $t_2 \sim t_4$ の間オンする。また制御信号 VGB は遅延回路 $DRCB$ にも入力される。遅延回路 $DRCB$ の信号 VGB をその立上がりタイミングが Δt だけ遅延した信号 $VGBB$ にして第2ドライブトランジスタ TR_B に出力する。

【0044】これにより、期間 $t_2 \sim t_4$ の間ドランジ

スタTRBが導通し、ゲート抵抗RBを介してスイッチング素子IGBTのゲートGにオフゲート電圧Vtrbを印加し、さらに第2ドライブトランジスタTRBBから△t2の遅延の後に、期間t3～t4の間にオフゲート電圧Vtrbを素子IGBTのゲートGにゲート抵抗を介さずに直接に印加する。この結果、スイッチング素子IGBTのゲートG～エミッタE間にオフゲート電圧VGGが与えられる。

【0045】このようにして、第3の実施の形態のゲート駆動回路では、オフゲート動作において、トランジスタTRBより第1段のオフゲート電圧を与えた後、△t2の遅延後に第2ドライブトランジスタTRBBより第2段のオフゲート電圧をゲート抵抗を介さずに直接に与えることで、安定したオフゲート電圧を供給することができる。反対側のスイッチング素子のゲートオンによるパルスノイズが誘起されないようにできる。また、スイッチング素子IGBTのコレクタC～エミッタE間に電圧のホール時間t1が短縮され、スイッチングのオフ損失Eoffが減少する。

【0046】次に、本発明のゲート駆動回路の第4の実施の形態を、図6に基づいて説明する。第4の実施の形態のゲート駆動回路は、図4に示した第3の実施の形態に対して、さらに直流電源の負側NVとスイッチング素子IGBTのエミッタEとの間にコンデンサCHBを設置したこと特徴とする。したがって、その他の構成は図4に示した第3の実施の形態と共通である。

【0047】第4の実施の形態のゲート駆動回路では、上記の第3の実施の形態によるオフゲート出力動作において、特に第2ドライブトランジスタTRBBが第2段のオフゲート電圧Vtrbを出力するときにさらに安定したゲート電圧VGGを与えることができる。またコンデンサCHBは低インピーダンスなのでノイズを効果的に吸収することができ、ノイズの影響を受けにくくなる。

【0048】次に、本発明のゲート駆動回路の第5の実施の形態を、図7に基づいて説明する。第5の実施の形態のゲート駆動回路は、図1に示した第1の実施の形態と図4に示した第3の実施の形態とを組み合わせた構成を持つとしている。すなわち、図1に示した従来のゲート駆動回路に対して、論理制御回路PRGからの制御信号VGKAの立上がりタイミングを△t1だけ遅延させて制御信号VGKAとして出力する第1の遅延回路DRC1、制御信号VGBの立下りタイミングを△t2だけ遅延させて制御信号VGBBとして出力する第2の遅延回路DRCBを設け、また、ドライブ回路PDRC1に1対のドライブトランジスタTRA、TRBと共に、第2ドライブトランジスタTRA、TRBBを設けている。

【0049】これにより、第5の実施の形態のゲート駆動回路は、図8に示したシーケンスのように動作する。

【0050】**【オングート出力】**第1の実施の形態の場合と同様であり、制御回路PRGは入力信号VIが1の期間t1～t3の間、制御信号VGKAを1にしてドライブ回路PDRCのトランジスタTRAをオンさせる。また制御信号VGKAは第1の遅延回路DRC1にも入力され、ここで立上がりタイミングを△t1だけ遅延させた信号VGKA1にして第2ドライブトランジスタTRAを出力し、これをt2～t3の期間オンさせる。

【0051】これにより、入力信号VIが1の期間t1～t3の間スイッチング素子IGBTのゲートGにオングート電圧Vtrreを印加し、さらに第2ドライブトランジスタTRAから△t1の遅延の後に、期間t2～t3の間オングート電圧Vtrreを素子IGBTのゲートに印加する。この結果、スイッチング素子IGBTのゲートG～エミッタE間にオングート電圧VGGが与えられる。

【0052】**【オフゲート出力】**第3の実施の形態の場合と同様であり、制御回路PRGは入力信号VIが0の期間t3～t5の間、制御信号VGKAを0にしてドライブ回路PDRCのトランジスタTRBをオンさせる。また制御信号VGBは第2の遅延回路DRCBにも入力され、ここで立下りタイミングを△t2だけ遅延させた信号VGBBにして第2ドライブトランジスタTRBBを出力し、これをt4～t5の期間オンさせる。

【0053】これにより、入力信号VIが0の期間t3～t5の間スイッチング素子IGBTのゲートGにオフゲート電圧Vtrbを印加し、さらに第2ドライブトランジスタTRBBから△t2の遅延の後に、期間t4～t5の間オフゲート電圧Vtrbを素子IGBTのゲートに印加する。この結果、スイッチング素子IGBTのゲートG～エミッタE間にオフゲート電圧VGGが与えられる。

【0054】このようにして、第5の実施の形態のゲート駆動回路では、第1の実施の形態と第3の実施の形態の作用効果を組み合わせたものとなり、オングート動作においては、トランジスタTRAより第1段のオングート電圧を与えた後、△t1の遅延後に第2ドライブトランジスタTRAより第2段のオングート電圧を与えることで、安定したオングート電圧を供給することができる。また、dV/dt(電圧の時間変化率)を小さくして反対側のスイッチング素子のゲートに誘起されるパルスノイズレベルを下げ、誤動作を防ぐことができる。さらに、スイッチング素子IGBTのコレクタC～エミッタE間に電圧の下降時間trが短縮され、スイッチングのオン損失Eoffが減少する。

【0055】またオフゲート動作においては、トランジスタTRBより第1段のオフゲート電圧を与えた後、△t2の遅延後に第2ドライブトランジスタTRBBより第2段のオフゲート電圧をゲート抵抗を介さずに直接に与えることで、安定したオフゲート電圧を供給すること

がで、反対側のスイッチング素子のゲートオンによるパルスノイズが誘起されないようにできる。また、スイッチング素子「IGBT」のコレクターエミッタ間の電圧のホール時間もが短縮され、スイッチングのオフ損失「D_{OFF}」が減少する。

【0056】次に、本発明のゲート駆動回路の第6の実施の形態を、図9に基づいて説明する。第5の実施の形態のゲート駆動回路は、図3に示した第2の実施の形態と図6に示した第4の実施の形態とを組み合わせた構成である。すなわち、図7に示した第5の実施の形態に対して、さらに、直流電源の正側PVとスイッチング素子「IGBT」のエミッタEとの間にコンデンサCHAを設置し、かつ直流電源の負側NVとスイッチング素子「IGBT」のエミッタEとの間にコンデンサCHBを設置したこと特徴としている。その他の構成は図7に示した第5の実施の形態と共通である。

【0057】これにより、第6の実施の形態のゲート駆動回路では、第5の実施の形態の作用効果に加えて、第1の実施の形態に対する第2の実施の形態のように、また第3の実施の形態に対する第4の実施の形態のように、コンデンサCHA、CHBが低インピーダンスなのでノイズを効果的に吸収することができ、ノイズの影響を受けにくくできる。

【0058】なお、上記の各実施の形態では電圧形スイッチング素子に「IGBT」を例示したが、これに限定されず、例えば、「IGBT」に適用するのも有効である。

【0059】

【発明の効果】以上のように請求項1の発明によれば、スイッチング素子のゲートに対して安定したオンゲート電圧を与えることができ、またスイッチング素子のコレクターエミッタ間の電圧の下降時間を短縮し、スイッチング時のオフ損失を低減することができる。

【0060】請求項2の発明によれば、スイッチング素子のゲートに対して安定したオフゲート電圧を与えることができ、またスイッチング素子のコレクターエミッタ間の電圧のホール時間を短縮し、スイッチング時のオフ損失を低減することができる。

【0061】請求項3の発明によれば、スイッチング素子のゲートに対して安定したオンゲート電圧、オフゲート電圧を与えることができ、またスイッチング素子のコレクターエミッタ間の電圧の下降時間、ホール時間を短縮し、スイッチング損失を低減することができる。

【0062】請求項4の発明によれば、スイッチング素子のゲートに対してより安定したオンゲート電圧を印加することができ、またスイッチング素子のコレクターエミッタ間の電圧の下降時間を短縮し、スイッチング時のオフ損失を低減することができ、加えてコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響

を受けにくくすることができる。

【0063】請求項5の発明によれば、スイッチング素子のゲートに対して安定したオフゲート電圧を与えることができ、またスイッチング素子のコレクターエミッタ間の電圧のホール時間を短縮し、スイッチング時のオフ損失を低減することができ、加えてコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくすることができる。

【0064】請求項6の発明によれば、スイッチング素子のゲートに対してより安定したオンゲート電圧、オフゲート電圧それぞれを印加し、またスイッチング素子のコレクターエミッタ間の電圧の下降時間、ホール時間を短縮し、スイッチング損失を低減することができ、加えて第1、第2のコンデンサが低インピーダンスでノイズを効果的に吸収してノイズの影響を受けにくくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の回路ブロック図、
【図2】上記の第1の実施の形態の動作シーケンス図、
【図3】本発明の第2の実施の形態の回路ブロック図、
【図4】本発明の第3の実施の形態の回路ブロック図、
【図5】上記の第3の実施の形態の動作シーケンス図、
【図6】本発明の第4の実施の形態の回路ブロック図、
【図7】本発明の第5の実施の形態の回路ブロック図、
【図8】上記の第5の実施の形態の動作シーケンス図、
【図9】本発明の第6の実施の形態の回路ブロック図、
【図10】一般的なPWMインバータ装置の回路ブロック図。

【図11】従来のゲート駆動回路のブロック図。

【図12】従来のゲート駆動回路の動作シーケンス図。

【図13】従来例におけるスイッチング素子の浮遊キャパシタンスの分布を示す説明図。

【図14】従来例による誤動作の原理を示す動作シーケンス図。

【符号の説明】

PV 電源(正)

NV 電源(負)

AG 中性点電位

VI 入力信号

PGR 制御回路

DRC_A, DRC_B 遅延回路

PDR_A, PDR_B, PDR_C ドライブ回路

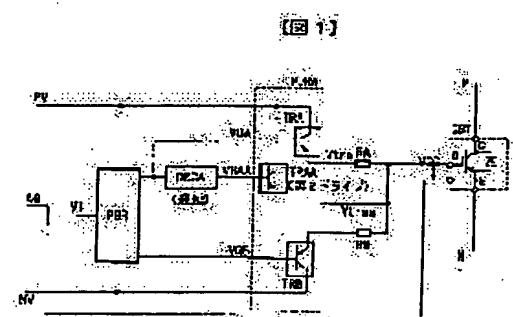
TRA, TRB トランジスタ

TRA_A, TRB_B 第2ドライブトランジスタ

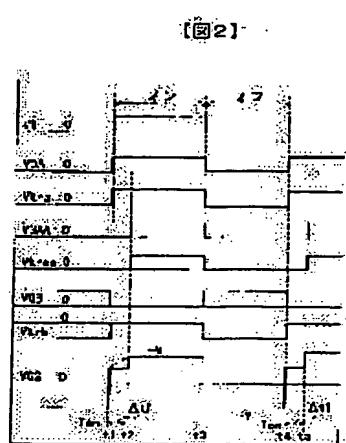
RA, RB ゲート抵抗

IGBT スイッチング素子

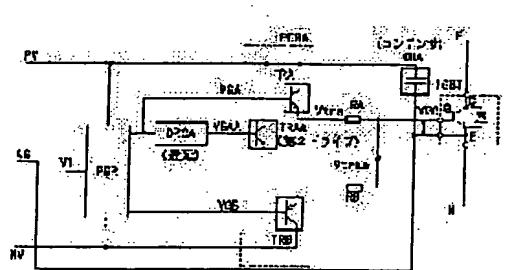
CHA, CHB コンデンサ



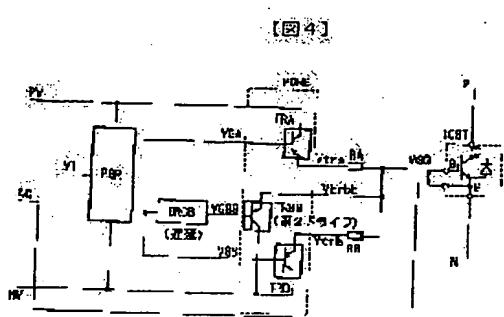
四



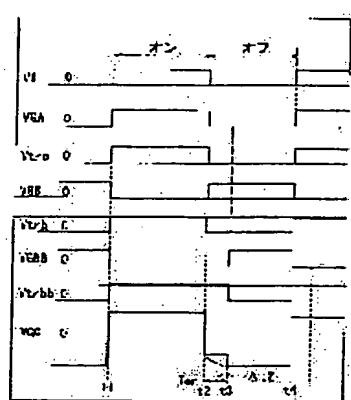
〔圖2〕



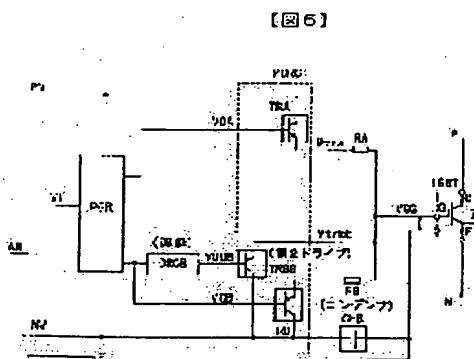
〔图3〕



[图4]

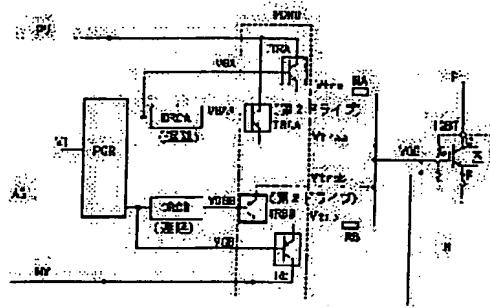


[5]

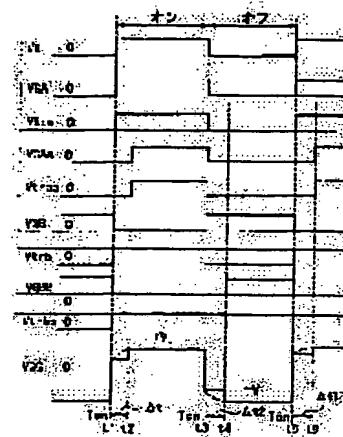


[圖 6]

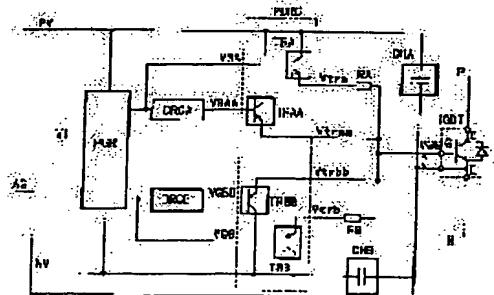
〔圖文〕



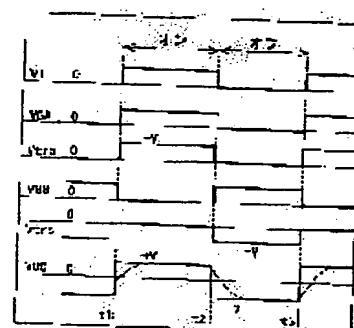
四



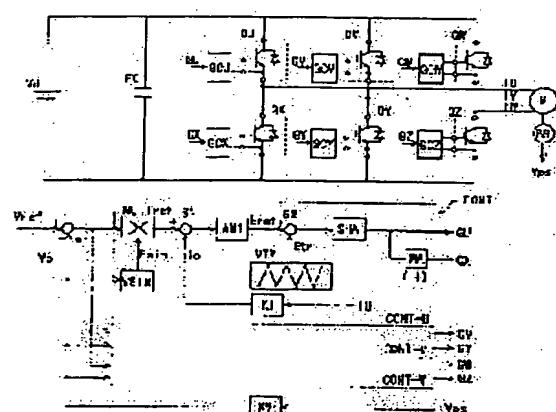
〔図9〕



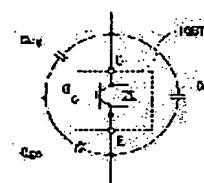
【図1-23】



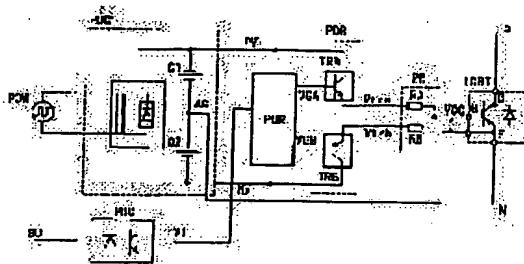
[図.10]



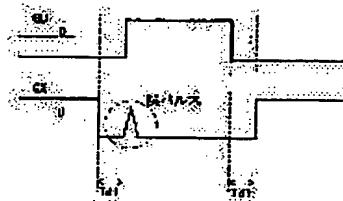
[图 13]



卷之三



[図14]



フロントページの続きを読む

エターナル(参考) SH740 RA04 RA11 BC01 BC02 HH06
JA01 JB02
5J055 AX12 AX23 AX37 AX55 AX56
AX65 AX66 BX16 CX00 CX07
CX19 DX09 DX59 DX84 EX01
EX04 EX06 EX11 EY01 EY10
EY12 EY17 EZ07 EZ23 EZ50
GX01 GX04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.